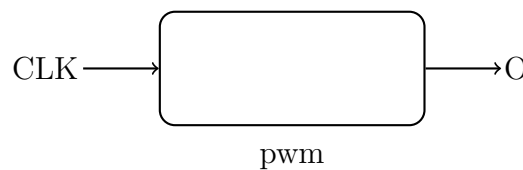


PWM (Pulsweitenmodulation)

Ihre Aufgabe ist es, das Verhalten einer Entity namens „pwm“ zu programmieren. Die Entity ist in der angehängten Datei „pwm.vhdl“ deklariert und hat folgende Eigenschaften:

- Eingang: CLK vom Typ std.logic; dies ist ein rechteckiges Taktsignal mit 50 MHz (Periode $T_{CLK} = 20$ ns)
- Ausgang: O vom Typ std.logic; dies ist der Port des Ausgangssignals



Verändern sie die Datei „pwm.vhdl“ nicht!

Die Entity „pwm“ soll ein pulsweitenmoduliertes Signal (PWM) aus einem Taktsignal (Eingangsport CLK) erzeugen und dabei folgende Eigenschaften erfüllen:

- Periode $T_{PWM} = 10.0 \mu s$, Frequenz $f_{PWM} = 100.0$ kHz
- Tastverhältnis (duty cycle) $\frac{T_{HIGH}}{T_{PWM}} = 72 \%$
- Die Anfangsflanke des Signals soll konstant gehalten und die Endflanke entsprechend moduliert werden.

Programmieren Sie dieses Verhalten in der angehängten Datei „pwm_beh.vhdl“.

Um auf einem FPGA korrekt synthetisiert werden zu können, muss die Erzeugung des PWM Signals ohne die VHDL Constructs 'after' und 'wait' geschehen.

Um Ihre Lösung abzugeben, senden Sie ein E-Mail mit dem Betreff „Result Task 7“ und Ihrer Datei „pwm_beh.vhdl“ an vhdl-mc+e384@tuwien.ac.at.

Viel Erfolg und möge die Macht mit Ihnen sein.